

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-178011

(43)Date of publication of application : 30.06.1998

(51)Int. Cl.

H01L 21/3205

(21)Application number : 08-340058

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 19.12.1996

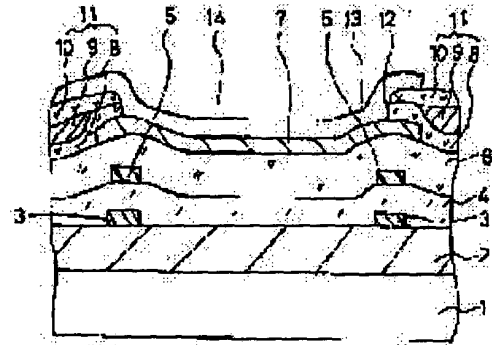
(72)Inventor : HODATE KEIICHI
GOTO YUJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the exposure of an insulating film to the contact hole for formation of a bonding pad by a method wherein a dummy pattern is arranged on the lower part of the circumference of the bonding pad, and the circumferential part of the bonding pad is lifted up.

SOLUTION: After formation of a resist film on an interlayer insulating film 11, a contact hole 12 is formed on the first layer of metal wiring 7 using the resist film as a mask. The second layer of metal wiring 13, which comes in contact with the metal wiring 7 through the contact hole 12, is formed. A bonding pad 14 is formed by patterning the second metal wiring 13, dummy patterns 3 and 5 are arranged on the lower part of the circumference of the bonding pad 14, and the end part of the bonding pad 14 is lifted up. As a result, the exposure of an SOG film 9 to the contact hole 12 can be prevented, and the wiring life of the second layer of metal wiring 13 can be improved.



LEGAL STATUS

[Date of request for examination]

25.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-178011

(43)公開日 平成10年(1998)6月30日

(51)Int.Cl.⁶

H 0 1 L 21/3205

識別記号

F I

H 0 1 L 21/88

Z

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号

特願平8-340058

(22)出願日

平成8年(1996)12月19日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 南立 恵一

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 後藤 祐治

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

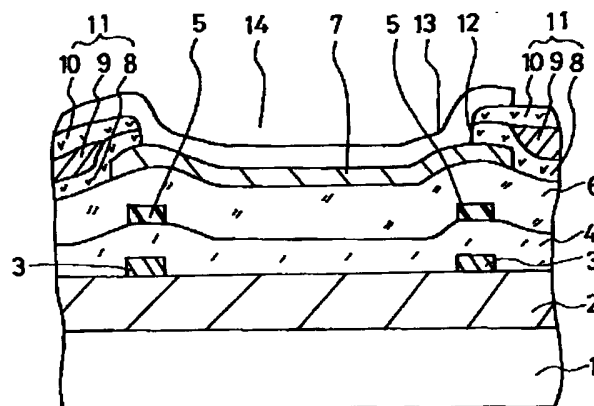
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 半導体集積回路装置とその製造方法

(57)【要約】

【課題】 多層配線構造におけるボンディングパッドの形成に関し、平坦化を損なうことのないようにSOG膜のエッチバック量を少なくしたとしても、ボンディングパッド形成用のコンタクト孔部にSOG膜の露出を防止し、ボンディングパッド近傍の第2層の金属配線の配線寿命の劣化という問題を解決する。

【解決手段】 第1層の金属配線7と第2層の金属配線13との間の第3層の層間絶縁膜11内に少なくともSOG膜9を含む多層配線構造の半導体集積回路装置において、ボンディングパッド14内の周縁下部に第1、第2のダミーパターン3、5を配置して、該ボンディングパッド14の周縁部を持ち上げたものである。



13: 第2層の金属配線

14: ボンディングパッド

【特許請求の範囲】

【請求項1】 下層の金属配線と上層の金属配線との間の層間絶縁膜内に少なくともSOG膜を含む多層配線構造の半導体集積回路装置において、ボンディングパッドの周縁下部にダミーパターンを配置して、該ボンディングパッドの周縁部を持ち上げたことを特徴とする半導体集積回路装置。

【請求項2】 前記ダミーパターンは、少なくとも前記ボンディングパッド内の周縁下部に棒状に形成されて成ることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記ダミーパターンは、メモリセル部のゲート電極あるいはビット線形成膜と同一膜で形成されて成ることを特徴とする請求項1または請求項2に記載の半導体集積回路装置。

【請求項4】 半導体基板上に形成される下地膜上のボンディングパッド形成領域上にボンディングパッド内の周縁下部を棒状に囲むようにダミーパターンを形成する工程と、
全面を層間絶縁膜で被覆した後に下層の金属配線を形成

する工程と、
前記下層の金属配線上を被覆するように少なくともSOG膜を含む層間絶縁膜を形成する工程と、

前記ボンディングパッド形成領域の前記層間絶縁膜にコンタクト孔を形成した後に該コンタクト孔を介して前記下層の金属配線にコンタクトする上層の金属配線を形成することで少なくともボンディングパッド内の周縁部が前記ダミーパターンにより持ち上げられて成るボンディングパッドを形成する工程とを具備することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置とその製造方法に関し、特にDRAM(Dynamic Random Access Memory)プロセス等の多層配線構造におけるボンディングパッドの形成技術に関する。

【0002】

【従来の技術】近年、半導体集積回路装置は多層構造化が図られ、SOG膜(スピノンガラス)を用いた半導体基板の平坦化工程が頻繁に行われている。従来のDRAMプロセス等の多層配線構造におけるボンディングパッドは、例えば1層の金属配線層上に2層の金属配線層を重ねて成る構造のものがある。

【0003】即ち、図9に示すように半導体基板51上に形成された下地膜52上に第1層の金属配線53を形成し、該金属配線53上にTEOS膜(テトラエトキシシラン)54、SOG膜(スピノンガラス)55及びTEOS膜56から成る層間絶縁膜57を形成した後に、該層間絶縁膜57にコンタクト孔58を形成し、該

重なるように第2層の金属配線59を形成して、これら第1層の金属配線53と第2層の金属配線59とからボンディングパッド60を形成していた。

【0004】

【発明が解決しようとする課題】前述したボンディングパッド60の形成工程において、平坦化を図るためにSOG膜55のエッチバックを行う際に、エッチバック量を少なくして平坦化を優先させると、図8に示すように前記第1層の金属配線53上(コンタクト孔58形成領域)にはSOG膜55が残膜するため、後工程でコンタクト孔58を形成した場合に、図9に示すようにコンタクト孔58の側壁部にSOG膜55が露出してしまう。そのため、該SOG膜55からの脱ガスによる第2層の金属配線59の配線寿命の低下を招くことになる。また、特にボンディングパッド引き出し部は、大電流が流れる場合があり、前述したようにこの部分にSOG膜が露出することは重大な問題となる。しかし、エッチバック量を多くすると、平坦化が損なわれてしまうことになる。従って、従来ではこれらの問題を全て解決する有効な手段がなかった。

【0005】尚、本出願人は、DRAMプロセスにおける周辺回路部においてコンタクト孔部でのSOG膜の露出をなくすために、該コンタクト孔下にダミーパターンを設置した技術を既に出願している(特願平8-8318号に添付の明細書に記載されている。)。しかしながら、この技術をボンディングパッド部分に適用したとしても前述したSOG膜が露出するという問題は解決できない。即ち、ボンディングパッド部分は、第1層の金属配線の面積が広いため、該金属配線下に先願の技術に示すようなダミーパターン(図8、図9に点線で示すダミーパターン61を参照)を設置しても、第1層の金属配線が全体的に持ち上がるだけで、SOG膜溜まりを少なくするまでには至らず、少ないエッチバック量では図8に示すように第1層の金属配線53上(コンタクト孔形成領域)にSOG膜55が切れ間なく残膜してしまい、前述した問題を解決できなかった。

【0006】従って、本発明は多層配線構造におけるボンディングパッドの形成に関し、平坦化を損なうことのないようにSOG膜のエッチバック量を少なくしたとしても、ボンディングパッド形成用のコンタクト孔部にSOG膜の露出を防止し、ボンディングパッド近傍の第2層の金属配線の配線寿命の劣化という問題を解決することを目的とする。

【0007】

【課題を解決するための手段】そこで、本発明の半導体集積回路装置は、第1層の金属配線と第2層の金属配線との間の層間絶縁膜内に少なくともSOG膜を含む多層配線構造の半導体集積回路装置において、ボンディングパッド内の周縁下部にダミーパターンを配置して、該ボ

【0008】また、本発明の半導体集積回路装置の製造方法は、半導体基板上に被着された下地膜上のボンディングパッド形成領域に少なくともボンディングパッド内の周縁下部を囲むようにダミーパターンを形成し、全面を層間絶縁膜で被覆した後に、第1層の金属配線を形成する。続いて、前記第1層の金属配線上を被覆するように少なくともSOG膜を含む層間絶縁膜を形成し、前記ボンディングパッド形成領域の前記層間絶縁膜にコンタクト孔を形成した後に、該コンタクト孔を介して前記第1層の金属配線にコンタクトする第2層の金属配線を形成することで、少なくともボンディングパッド周縁部が前記ダミーパターンにより持ち上げられて成るボンディングパッドを形成するものである。

【0009】

【発明の実施の形態】以下、本発明半導体集積回路装置とその製造方法の一実施の形態について図1乃至図7の図面に基づき説明する。図1は本発明の一実施の形態の半導体集積回路装置の製造方法を示す第1の断面図であり、1は半導体基板で、該半導体基板1上に例えば下地膜としてフィールド酸化によりLOCOS酸化膜2を形成した後に、全面に例えば、ポリシリコン膜を形成し、該ポリシリコン膜を周知のパターニング技術によりパターニングすることで第1のダミーパターン3を形成する。尚、装置構成として前記第1のダミーパターン3は本来必要のないものであるが、後述する後工程で形成するボンディングパッド14形成の安定性を向上させるために形成するもので、該ダミーパターン3は、ボンディングパッド14内の周縁下部を囲むように枠状に形成されている（図7のボンディングパッド14とダミーパターン3、5との位置関係を示す平面図を参照）。また、当該第1のダミーパターン3は図示しないメモリセル部におけるゲート電極形成用のポリシリコン膜で形成されている。

【0010】次に、図2に示すように全面にTEOS膜、BPSG膜から成る第1層の層間絶縁膜4を形成した後に、該層間絶縁膜4上に例えばポリシリコン膜及びタングステンシリサイド膜（WSix）を形成した後に、該ポリシリコン膜及びタングステンシリサイド膜（WSix）をパターニングすることで第2のダミーパターン5を形成する。尚、装置構成として前記第2のダミーパターン5は本来必要のないものであるが、該第2のダミーパターン5も前記第1のダミーパターン3と同様にボンディングパッド14形成の安定性を向上させるために形成するもので、第2のダミーパターン5も前記第1のダミーパターン3と同様にボンディングパッド14の周縁下部を囲むように形成されている。また、当該第2のダミーパターン5は図示しないメモリセル部におけるビット線形成用のポリシリコン膜及びタングステンシリサイド膜（WSix）で形成されている。

パターン5を被覆するようにTEOS膜、BPSG膜から成る第2層の層間絶縁膜6を形成した後に、該層間絶縁膜6上に第1層の金属配線7を形成する。本工程は、先ず、バリアメタル膜としてチタン膜（Ti膜）及びチタンナイトライド膜（TiN膜）を形成した後に、スパッタ法により金属膜（Al-Si-Cu膜）を形成して、第1層の金属配線7を形成する。

【0012】次に、図4に示すように前記金属配線7上にTEOS膜8、SOG膜9及びTEOS膜10から成る第3層の層間絶縁膜11を形成する。本工程は、先ず、TEOS膜8を形成した後に、平坦性を向上させるためにSOG膜9を形成し、全面エッチバックを行う。このとき、前述した第1のダミーパターン3と第2のダミーパターン5の存在により後述するコンタクト孔12開口部分のSOG膜9が薄くなっているため、前述した全面エッチバック工程時に少ないエッチバック量でもボンディングパッド周縁部のSOG膜9は完全に削り取ることができる（図4に示すコンタクト孔の開口部終端Aを参照）。そして、更にTEOS膜10を形成すると、前記コンタクト孔の開口部終端A部分は、下層のTEOS膜8と上層のTEOS膜10とが重なり合った状態でSOG膜9は存在しないことになる。従って、前記層間絶縁膜11上に図示しないレジスト膜を形成した後に、該レジスト膜をマスクにして前記第1層の金属配線7上にコンタクトするコンタクト孔12を形成した際に、図5に示すようにコンタクト孔12の周縁部には、TEOS膜8の上にTEOS膜10が重なるように形成され、SOG膜9はコンタクト孔12の周縁部から後退した状態となる。

【0013】続いて、図6に示すように前記コンタクト孔12を介して前記金属配線7にコンタクトするAl-Si-Cu膜から成る第2層の金属配線13を形成し、該第2層の金属配線13をパターニングすることで、前記第1層の金属配線7と該第1層の金属配線7上に重なる第2層の金属配線13とから成るボンディングパッド14が形成される。

【0014】以上、説明したように本発明では第1の金属配線7上に形成するコンタクト孔12の開口部終端A部分の下方位置にダミーパターン3、5を配置することで、少ないエッチバック量でも該開口部終端A部分にはSOG膜9が存在しないように除去することができ、この部分にコンタクト孔12を形成しても側壁部にSOG膜9が露出することがない。

【0015】更に、図示しないがSiN膜等のパッシベーション膜を形成することにより2層Al配線構造の半導体集積回路装置が完成する。以上、本発明ではボンディングパッド14の周縁下部にダミーパターン3、5を配置して、当該ボンディングパッド14の周縁部を持ち上げることで、ボンディングパッド14へのSOG膜溜

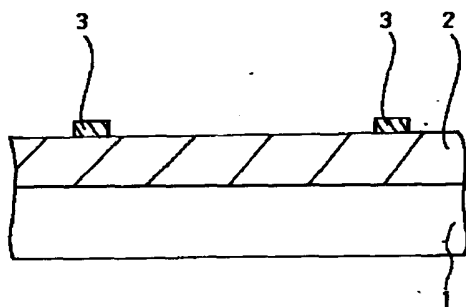
5

G膜のエッチバック量でもコンタクト孔12の側壁部へのSOG膜の露出が防止でき、ボンディングパッド14近傍の第2層の金属配線13の配線寿命の劣化という問題を解消できる。

【0016】また、本発明のダミーパターン3、5は、ダミーパターン専用の膜を形成する工程を増やすことなしに、第1層の金属配線下の配線、例えばDRAMプロセスではメモリセル部における第1層の金属配線下のゲート電極やビット線形成膜等で構成することができ、更に、第1のダミーパターン3と第2のダミーパターン5は、共に必要であるとは限らず、ボンディングパッド14形成用のコンタクト孔12の開口部終端A部分にSOG膜溜まりがなくなるようにできれば良く、単独構造とするか、2段構造とするか自由を選択できる。尚、実施の形態の一例として、例えば2500Åのビット線形成膜と同一膜から成る第2のダミーパターン5のみを選択した場合に、当該ダミーパターン5の線幅はおよそ4μm〜5μm程度のラインで、ボンディングパッド14内の周縁部に棒状に形成すれば、前述したようにコンタクト孔12の開口部終端A部分にSOG膜9が残膜しないことが、またダミーパターン5の線幅が10μm程度となると前記開口部終端A部分でのSOG膜9の切れ目がなくなり、従来の問題を解消できないことが実証されている。当然のことながら、ダミーパターン5の膜厚の違いにより線幅条件も変更する必要がある、また第1のダミーパターン3及び第2のダミーパターン5の2段構造とすれば、ダミーパターンの線幅は更に細くできる。

【0017】

【図1】



1: 半導体基板
3: 第1のダミーパターン

2: LOCOS酸化膜

6

【発明の効果】以上、本発明によればボンディングパッド内の周縁下部にダミーパターンを配置して、当該ボンディングパッドの周縁部を持ち上げることで、ボンディングパッド部分へのSOG膜溜まりが従来に比べ格段に少なくできるため、少ないSOG膜のエッチバック量でもコンタクト孔の側壁部へのSOG膜の露出を防止できるため、平坦化を損なうことなしに、ボンディングパッド近傍の配線のエレクトロマイグレーションや第2層の金属配線の配線寿命の劣化という問題を解消できる。

10 【図面の簡単な説明】

【図1】本発明の一実施の形態の半導体集積回路装置の製造方法を示す第1の断面図である。

【図2】本発明の一実施の形態の半導体集積回路装置の製造方法を示す第2の断面図である。

【図3】本発明の一実施の形態の半導体集積回路装置の製造方法を示す第3の断面図である。

【図4】本発明の一実施の形態の半導体集積回路装置の製造方法を示す第4の断面図である。

【図5】本発明の一実施の形態の半導体集積回路装置の製造方法を示す第5の断面図である。

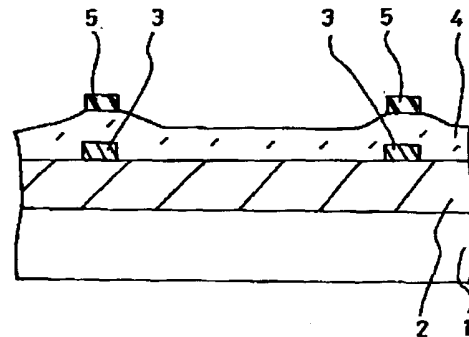
【図6】本発明の一実施の形態の半導体集積回路装置の製造方法を示す第6の断面図である。

【図7】本発明の一実施の形態の半導体集積回路装置のボンディングパッド部を示す平面図である。

【図8】従来の半導体集積回路装置を示す断面図である。

【図9】従来の半導体集積回路装置を示す断面図である。

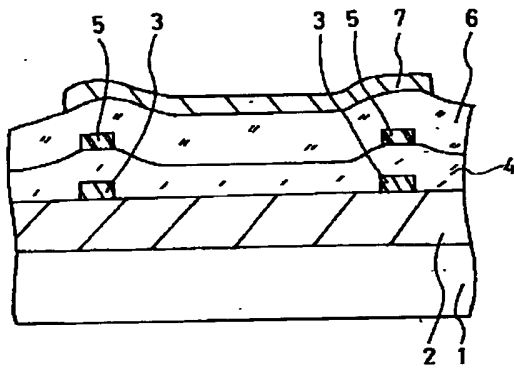
【図2】



4: 第1層の金属配線

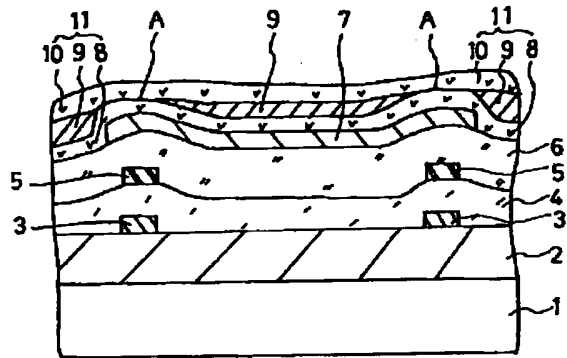
5: 第2層のダミーパターン

【図3】



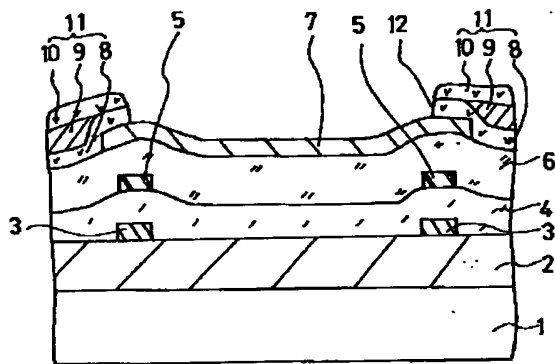
6: 第2層の層間絶縁膜 7: 第1層の金属配線

【図4】



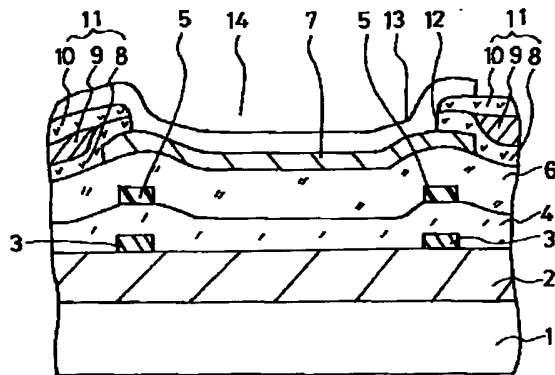
8: TEOS膜(テトラエトキシシラン)
9: SOG膜(スピンオンガラス)
10: TEOS膜(テトラエトキシシラン)
A: コンタクト孔の開口部終端

【図5】



12: コンタクト孔

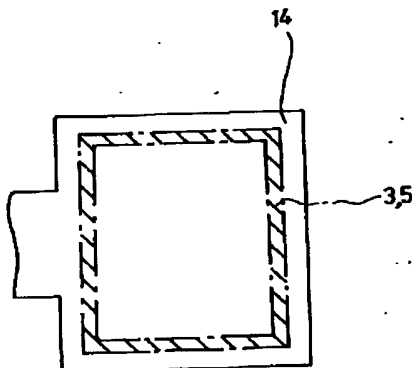
【図6】



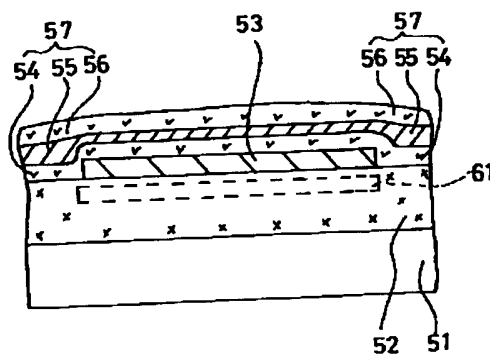
13: 第2層の金属配線

14: ボンディングパッド

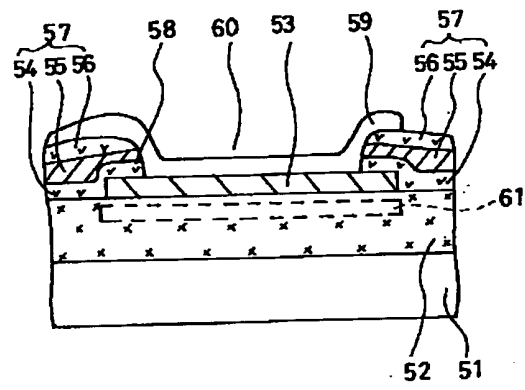
【図7】



【図8】



【図9】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

10-178011

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the formation technique of a bonding pad in multilayer-interconnection structures, such as DRAM (Dynamic Random Access Memory) process, about semiconductor integrated circuit equipment and its manufacture technique.

[0002]

[Description of the Prior Art] In recent years, multilayer-structure-ization is attained and, as for semiconductor integrated circuit equipment, the flattening process of the semiconductor substrate using SOG layer (spin-on glass) is performed frequently. The bonding pad in multilayer-interconnection structures, such as the conventional DRAM process, has the thing of the structure which changes a two-layer metal wiring layer in piles on an one-layer metal wiring layer.

[0003] Namely, the 1st-layer metal wiring 53 is formed on the substratum layer 52 formed on the semiconductor substrate 51 as shown in drawing 9. After forming the layer insulation layer 57 which consists of the TEOS layer (tetra-ethoxysilane) 54, the SOG layer (spin-on glass) 55, and the TEOS layer 56 on this metal wiring 53 this layer insulation layer 57 -- a contact -- a hole 58 -- forming -- this contact -- the 2nd-layer metal wiring 59 was formed so that it might lap with the 1st-layer [aforementioned] metal wiring 53 through a hole 58, and the bonding pad 60 was formed from the 1st-layer [these] metal wiring 53 and the 2nd-layer metal wiring 59

[0004]

[Problem(s) to be Solved by the Invention] If the amount of etchback is lessened and priority is given to a flattening in case etchback of the SOG layer 55 is performed in the formation process of a bonding pad 60 mentioned above, in order to attain a flattening as shown in drawing 8, in order that the SOG layer 55 may **** on the 1st-layer [aforementioned] metal wiring 53 (contact a hole 58 formation field) -- a back process -- a contact -- when a hole 58 is formed, it is shown in drawing 9 -- as -- a contact -- the SOG layer 55 will be exposed to the side-attachment-wall section of a hole 58. Therefore, a fall of the wiring life of the 2nd-layer metal wiring 59 by the degasifying from this SOG layer 55 will be caused. Moreover, it poses a serious problem that SOG layer is exposed to this fraction as a high current may flow and especially the bonding pad drawer section was mentioned above. However, a flattening will be spoiled when the amount of etchback is made [many]. Therefore, at the former, there was no effective means to solve all of these problems.

[0005] in order that [in addition,] these people may lose denudation of SOG layer in a contact pore in the circumference circuit section in DRAM process -- this contact -- a hole -- it has already applied for the technique which installed the dummy pattern downward (indicated by the specification of Japanese Patent Application No. [8318 / eight to] appending.) However, the problem that SOG layer mentioned above though this technique was applied to the bonding pad fraction is exposed is unsolvable. Namely, since a bonding pad fraction has a large area of the 1st-layer metal wiring, Even if it installs a dummy pattern (see the dummy pattern 61 shown in drawing 8 and the drawing 9 by the dotted line) which is shown in the technique of point ** under this metal wiring, only by on the whole the 1st-layer metal wiring occurring It did not result, by the time it lessened SOG **** ball, and in the few amount of etchback, as shown in drawing 8, the SOG layer 55 has not solved the problem which it ****ed without the interval and was mentioned above on the 1st-layer metal wiring 53 (contact a hole formation field).

[0006] Therefore, though this invention lessens the amount of etchback of SOG layer about formation of the bonding pad in multilayer-interconnection structure so that a flattening may not be spoiled, denudation of SOG layer is prevented to the contact pore for bonding pad formation, and it aims at solving the problem of a degradation of the wiring life of the 2nd-layer metal wiring near the bonding pad.

[0007]

[Means for Solving the Problem] Then, in the semiconductor integrated circuit equipment of the multilayer-interconnection structure which contains SOG layer at least in the layer insulation layer between the 1st-layer metal wiring and the 2nd-layer metal wiring, the semiconductor integrated circuit equipment of this invention arranges a dummy pattern in the periphery lower part in a bonding pad, and raises the periphery section of this bonding putt.

[0008] Moreover, after the manufacture technique of the semiconductor integrated circuit equipment of this invention forms a dummy pattern so that the periphery lower part in a bonding pad may be surrounded at least to the bonding pad formation field on the substratum layer put on the semiconductor substrate, and it covers the whole surface with a layer insulation layer, it forms the 1st-layer metal wiring. Then, the layer insulation layer which contains SOG layer at least so that the 1st-layer [aforementioned]

metal wiring top may be covered is formed. the aforementioned layer insulation layer of the aforementioned bonding pad formation field -- a contact -- after forming a hole -- this contact -- by forming the 2nd-layer metal wiring which contacts the 1st-layer [aforementioned] metal wiring through a hole The bonding pad periphery section forms at least the bonding pad which is raised with the aforementioned dummy pattern and changes.

[0009]

[Embodiments of the Invention] Hereafter, the gestalt of this invention semiconductor integrated circuit equipment and 1 operation of the manufacture technique is explained based on the drawing of the drawing 1 or the drawing 7. Drawing 1 is the 1st cross section showing the manufacture technique of the semiconductor integrated circuit equipment of the gestalt 1 operation of this invention, 1 is a semiconductor substrate, after forming the LOCOS oxide film 2 by field oxidization as for example, a substratum layer on this semiconductor substrate 1, for example, a polysilicon contest layer is formed in the whole surface, and the 1st dummy pattern 3 is formed by carrying out patterning of this polysilicon contest layer with well-known patterning technique. In addition, it forms in order to raise the stability of the bonding pad 14 formation formed at the back process mentioned later, although the dummy pattern 3 of the above 1st originally does not have the need as an equipment configuration, and this dummy pattern 3 is formed in the shape of a frame so that the periphery lower part in a bonding pad 14 may be surrounded (see the plan showing the physical relationship of the bonding pad 14 of drawing 7, and the dummy patterns 3 and 5). Moreover, the first concerned dummy pattern 3 is formed by the polysilicon contest layer for gate electrode formation in the memory cell section not to illustrate.

[0010] Next, as shown in drawing 2, after forming in the whole surface the layer insulation layer 4 of the 1st layer which consists of TEOS layer and BPSG layer and forming for example, a polysilicon contest layer and a tungsten silicide layer (WSix) on this layer insulation layer 4, the 2nd dummy pattern 5 is formed by carrying out patterning of this polysilicon contest layer and the tungsten silicide layer (WSix). in addition -- although the dummy pattern 5 of the above 2nd is what originally does not have the need as an equipment configuration -- this -- it forms, in order that the 2nd dummy pattern 5 may also raise the stability of bonding pad 14 formation like the dummy pattern 3 of the above 1st, and it is formed so that the 2nd dummy pattern 5 as well as the dummy pattern 3 of the above 1st may surround the periphery lower part of a bonding pad 14 Moreover, the 2nd concerned dummy pattern 5 is formed by the polysilicon contest layer for bit line formation and tungsten LISA id layer (WSix) in the memory cell section not to illustrate.

[0011] Next, after forming the layer insulation layer 6 of the 2nd layer which consists of TEOS layer and BPSG layer so that the dummy pattern 5 of the above 2nd may be covered as shown in drawing 3, the 1st-layer metal wiring 7 is formed on this layer insulation layer 6. First, after this process forms a titanium layer (Ti layer) and a titanium nitride layer (TiN layer) as a barrier metal layer, it forms a metal membrane (aluminum-Si-Cu layer) by the spatter, and forms the 1st-layer metal wiring 7.

[0012] Next, as shown in drawing 4, the layer insulation layer 11 of the 3rd layer which consists of the TEOS layer 8, the SOG layer 9, and the TEOS layer 10 is formed on the aforementioned metal wiring 7. First, after this process forms the TEOS layer 8, in order to raise flat nature, it forms the SOG layer 9, and performs whole surface etchback. the contact later mentioned by presence of the 1st dummy pattern 3 and the 2nd dummy pattern 5 mentioned above at this time -- a hole -- since the SOG layer 9 for 12 opening is thin, the SOG layer 9 of the bonding pad periphery section can be completely shaved off also in the amount few at the time of the whole surface etchback process mentioned above of etchback (the contact shown in drawing 4 opening termination A of a hole reference) and -- if the TEOS layer 10 is formed further -- the aforementioned contact -- after the TEOS layer 8 of a lower layer [fraction / opening termination A / of a hole] and the upper TEOS layers 10 have overlapped, the SOG layer 9 will not exist Therefore, after forming the resist layer which is not illustrated on the 1st-layer [aforementioned] metal wiring 7 -- when a 11 the contact which uses this resist layer as a mask and contacts on the 1st-layer [aforementioned] metal wiring 7 -- when a hole 12 is formed, it is shown in drawing 5 -- as -- a contact -- among the periphery section of a hole 12 it forms so that the TEOS layer 10 may lap on the TEOS layer 8 -- having -- the SOG layer 9 -- a contact -- it will be in the status that it retreated from the periphery section of a hole 12

[0013] then, it is shown in drawing 6 -- as -- the aforementioned contact -- the 2nd-layer metal wiring 13 which consists of the aluminum-Si-Cu layer which contacts the aforementioned metal wiring 7 through a hole 12 -- forming -- this -- the bonding pad 14 which consists of the 2nd-layer metal wiring 13 which laps on the 1st-layer [aforementioned] the metal wiring 7 and this 1st-layer metal wiring 7 by carrying out patterning of the 2nd-layer metal wiring 13 is formed

[0014] as mentioned above, the contact formed on the 1st metal wiring 7 in this invention as explained -- the SOG layer 9 does not exist in this opening termination A fraction in the few amount of etchback by arranging the dummy patterns 3 and 5 in the lower part position of the opening termination A fraction of a hole 12 -- as -- being removable -- this fraction -- a contact -- even if it forms a hole 12, the SOG layer 9 is not exposed to the side-attachment-wall section

[0015] Furthermore, although not illustrated, the semiconductor integrated circuit equipment of two-layer aluminum wiring structure is completed by forming passivation layers, such as SiN layer. since SOG **** ball to a bonding pad 14 is markedly alike compared with the former and it can do few by arranging the dummy patterns 3 and 5 in the periphery lower part of a bonding pad 14 in this invention, and raising the periphery section of the concerned bonding pad 14 -- the amount of etchback of few SOG layer -- a contact -- denudation of SOG layer to the side-attachment-wall section of a hole 12 can be prevented, and the problem of a degradation of the wiring life of the 2nd-layer about 14-bonding pad metal wiring 13

[0016] Moreover, the dummy patterns 3 and 5 of this invention, without increasing the process which forms the layer only for dummy patterns A gate electrode, a bit line formation layer, etc. under the 1st-layer metal wiring in the memory cell section can constitute from the wiring under the 1st-layer metal wiring, for example, DRAM process. Furthermore, the 1st dummy pattern 3

and the 2nd dummy pattern 5 being [both] required -- not restricting -- the contact for bonding pad 14 formation -- it can choose freely whether it considers as independent structure, or it considers as two step structure that SOG **** ball is just lost into the opening termination A fraction of a hole 12 In addition, as an example of the gestalt of operation, when only the 2nd dummy pattern 5 which consists of the bit line formation layer of 2500** and the same layer is chosen, the line breadth of the concerned dummy pattern 5 is an about 4 micrometers - about 5 micrometers line. when forming in the periphery section in a bonding pad 14 in the shape of a frame, it mentioned above -- as -- a contact -- that the SOG layer 9 does not **** into the opening termination A fraction of a hole 12 Moreover, if the line breadth of the dummy pattern 5 is set to about 10 micrometers, the break of the SOG layer 9 in the aforementioned opening termination A fraction will be lost, and it is proved that the conventional problem is unsolvable. It is necessary to also change line breadth conditions by the difference in the thickness of the dummy pattern 5 with a natural thing and, and two step structure of the 1st dummy pattern 3 and the 2nd dummy pattern 5, then line breadth of a dummy pattern are made still thinly.

[0017]

[Effect of the Invention] By as mentioned above, the thing for which a dummy pattern is arranged in the periphery lower part in a bonding pad according to this invention, and the periphery section of the concerned bonding pad is raised since SOG **** ball to a bonding pad fraction is markedly alike compared with the former and can be done few the amount of etchback of few SOG layer -- a contact -- the problem of the electromigration of the wiring near the bonding pad or a degradation of the wiring life of the 2nd-layer metal wiring can be solved, without spoiling a flattening, since denudation of SOG layer to the side-attachment-wall section of a hole can be prevented

[Translation done.]